

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288455
(43)Date of publication of application : 01.11.1996

(51)Int. Cl. H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/60
H01L 23/52

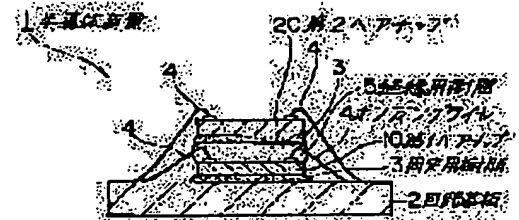
(21)Application number : 07-085021 (71)Applicant : OKI ELECTRIC IND CO LTD
(22)Date of filing : 11.04.1995 (72)Inventor : SOMAKI MOTOAKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

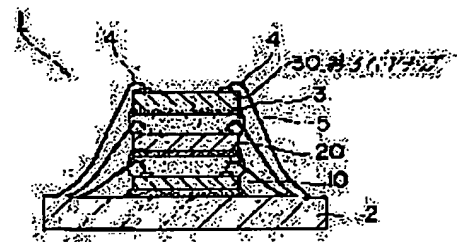
(57) Abstract:

PURPOSE: To provide a semiconductor device which can efficiently radiate heat and is suitable for small-scale many-kind production and a method for manufacturing the device.

CONSTITUTION: After a (first) bare chip 10 is fixed on a circuit board 2 with fixing resin 3 in between, the chip 10 is connected to a circuit on the board 2 through wire bonding and another (second) bare chip 20 is fixed on the chip 10 with an insulating member 5 composed of insulating resin and fixing resin 3 in between. Then the chip 20 is connected to another circuit on the board 2 through wire bonding 4. A semiconductor device 1 is manufactured in such a way.



(a)



(b)

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-288455

(43) 公開日 平成8年(1996)11月1日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	P I	技術表示箇所
H 0 1 L	25/065		H 0 1 L 25/08	B
	25/07		21/60	3 0 1 D
	25/18		23/52	C
	21/60	3 0 1		
	23/52			

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平7-85021

(22) 出願日 平成7年(1995)4月11日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 植木 基晃

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

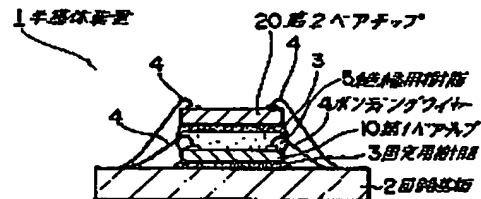
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置およびその製造方法

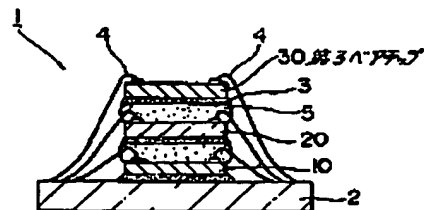
(57) 【要約】

【目的】 放熱効率が良く多品少量生産に適した半導体装置およびその製造方法を提供すること。

【構成】 本発明は回路基板2上に一のペアチップである第1ペアチップ10を固定用樹脂3を介して接続した後、第1ペアチップ10と回路基板2上の回路とをボンディングワイヤー4で接続し、この第1ペアチップ10上に絶縁部材である絶縁用樹脂5および固定用樹脂3を介して他のペアチップである第2ペアチップ20を接続する。その後、第2ペアチップ20と回路基板2上の回路とをボンディングワイヤー4で接続する半導体装置1およびその製造方法である。



(a) 2段の例



(b) 3段の例

本発明を説明する模式断面図

【特許請求の範囲】

【請求項1】 回路基板上に複数のベアチップが立体的に実装されて成る半導体装置であって、

前記回路基板上に実装される一のベアチップと、

前記一のベアチップと前記回路基板上の回路との電気的な接続を行う一のボンディングワイヤーと、

前記一のベアチップ上に絶縁部材を介して接続される他のベアチップと、

前記他のベアチップと前記回路基板上の回路との電気的な接続を行う他のボンディングワイヤーとを備えていることを特徴とする半導体装置。

【請求項2】 回路基板上に一のベアチップを実装した後、該一のベアチップと該回路基板上の回路とを一のボンディングワイヤーで接続し、

次いで、前記一のベアチップ上に絶縁部材を介して他のベアチップを接続した後、該他のベアチップと前記回路基板上の回路とを他のボンディングワイヤーで接続することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、回路基板上に複数のベアチップを立体的に実装して成る半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 小さなパッケージで高集積度の半導体装置を製造する場合、回路基板上に複数のベアチップを実装するマルチチップモジュール化が検討されている。このうち、複数のベアチップを重ねて実装する3次元実装構造としては、各ベアチップにそれぞれTAB (Tape Automated Bonding) 用テープを接続しておき、これらを所定の間隔で重ねて実装する構造が考えられている（例えば、畑田賢造著、TAB技術入門（工業調査会出版）、p290参照）。

【0003】

【発明が解決しようとする課題】 しかしながら、このような半導体装置ではベアチップの大きさや配線間隔に応じた専用のTAB用テープを用意しておく必要があり非常に手間と時間がかかることになる。つまり、TAB用テープは、所定のキャリアテープにフォトリソグラフィおよびエッチング処理を施して導体であるリードを形成したり、接続用のバンプを形成したりする必要がある。このため、多くの開発初期費用がかかり特に多品種少量生産を行う場合には不都合である。

【0004】 また、重ねて実装した複数のベアチップの放熱経路は、ベアチップから周囲の空気への放出と、TABテープの接続用のリードを介した外部への放出とがある。ところが、リードの厚みは一般に35μm程度であるため高い放熱効率は期待できず、また、複数のベアチップが重ねて配置されていることからベアチップの周囲の空気への十分な熱放出も期待できない。

【0005】

【課題を解決するための手段】 本発明は、このような課題を解決するために成された半導体装置およびその製造方法である。すなわち、本発明は回路基板上に複数のベアチップが立体的に実装されて成る半導体装置であって、回路基板上に実装される一のベアチップと、一のベアチップと回路基板上の回路との電気的な接続を行う一のボンディングワイヤーと、一のベアチップ上に絶縁部材を介して接続される他のベアチップと、他のベアチップと回路基板上の回路との電気的な接続を行う他のボンディングワイヤーとを備えている。

【0006】 また、回路基板上に一のベアチップを実装した後、一のベアチップと回路基板上の回路とを一のボンディングワイヤーで接続し、次いで、一のベアチップ上に絶縁部材を介して他のベアチップを接続した後、他のベアチップと回路基板上の回路とを他のボンディングワイヤーで接続する半導体装置の製造方法である。

【0007】

【作用】 本発明の半導体装置では、回路基板上に実装される一のベアチップと他のベアチップとが絶縁部材を介して接続されているため、各ベアチップからの熱がこの絶縁部材を介して外部に放出する状態となる。また、本発明の半導体装置の製造方法では、各ベアチップと回路基板とをボンディングワイヤーによって接続していることから、ベアチップの大きさや配線間隔等が変更となった場合であっても容易に対応できることになる。

【0008】

【実施例】 以下に、本発明の半導体装置およびその製造方法における実施例を図に基づいて説明する。図1は本発明の半導体装置を説明する模式断面図であり、(a)は2段の例、(b)は3段の例を示している。図1

(a)に示す半導体装置1は、回路基板2上に第1ベアチップ10および第2ベアチップ20の2つのベアチップが重ねて実装されたものである。すなわち、この半導体装置1は、所定の回路（図示せず）が形成された回路基板2上に固定用樹脂3を介して接続される第1ベアチップ10と、第1ベアチップ10と回路基板2の回路とを電気的に接続するボンディングワイヤー4と、第1ベアチップ10上に絶縁部材である絶縁用樹脂5および固定用樹脂3を介して接続される第2ベアチップ20と、第2ベアチップ20と回路基板2の回路とを電気的に接続するボンディングワイヤー4とを備える構成となっている。

【0009】 回路基板2は例えばセラミックス製の基板に所定の導体を被覆したものから成り、また、固定用樹脂3は熱伝導性を高めるため銀フィラー等を混入したエポキシ系の接着剤から構成されている。絶縁用樹脂5は、第1ベアチップ10上においてボンディングワイヤー4のループ部分を覆う状態で塗布されており、ボンディングワイヤー4や第1ベアチップ10と第2ベアチ

ブ20との電気的な絶縁を保つ役目を果たしている。さらに絶縁用樹脂5には絶縁性を保ちかつ熱伝導性を高めるためのフィラー（例えば、アルミナ、窒化アルミニウム、シリコン、ダイヤモンド）を混入してある。

【0010】この半導体装置1では、重なって配置される第1ペアチップ10と第2ペアチップ20との間に絶縁用樹脂5および固定用樹脂3が各々のペアチップと面接触する状態で介在しているため、第1ペアチップ10および第2ペアチップ20からの熱がこの絶縁用樹脂5および固定用樹脂3を介して効率良く外部へ放出する状態となる。つまり、絶縁用樹脂5および固定用樹脂3には各々熱伝導性を高めるためのフィラーを混入しているため、第1ペアチップ10と第2ペアチップ20との間が空気である場合に比べてはるかに放熱効率が高まることになる。

【0011】また、図1(b)に示す半導体装置1は、回路基板2上に第1ペアチップ10、第2ペアチップ20および第3ペアチップ30が実装される構造である。つまり、先に説明した第1ペアチップ10および第2ペアチップ20の重ね合わせに加え、第2ペアチップ20上に絶縁部材である絶縁用樹脂5および固定用樹脂3を介して第3ペアチップ30を接続した構造となっている。第3ペアチップ30も他の第1ペアチップ10および第2ペアチップ20と同様にボンディングワイヤー4によって回路基板2の回路と電気的に接続されている。

【0012】また、第3ペアチップ30と第2ペアチップ20との間の固定用樹脂3および絶縁用樹脂5も先と同様なフィラーを混入したものを使用している。これによって、第2ペアチップ20および第3ペアチップ30からの熱は間の固定用樹脂3および絶縁用樹脂5を介して効率良く外部へ放出する状態となる。また、ペアチップを3段に実装することでさらに高密度化を図ることが可能となる。なお、図1においてはペアチップを2段および3段に重ねる例を示したが、さらに多くのペアチップを重ねる場合であっても同様である。

【0013】このように複数のペアチップを立体的に重ねて実装する半導体装置1であっても放熱効率を向上させることができることから、本実施例における半導体装置1では、消費電力が大きいペアチップを使用しても故障の発生や寿命の短縮が起きにくいことになる。

【0014】次に、本発明の半導体装置の製造方法を図2に基いて順に説明する。ここでは、特にペアチップを2段重ねて成る半導体装置1の製造方法を大きく3つの工程に分けて説明する。まず、図2(a)に示す第1工程として、回路基板2上に銀フィラー等を混入したエポキシ系の固定用樹脂3をディスペンス塗布し、波状の状態でこの上に第1ペアチップ10を搭載する。そして、150℃で1時間程度の加熱処理を行い固定用樹脂3を硬化させ第1ペアチップ10を回路基板2上に固定する。その後、第1ペアチップ10と回路基板2の回路

とをボンディングワイヤー4によって接続する。

【0015】次いで、図2(b)に示す第2工程として、第1ペアチップ上に絶縁用樹脂5および固定用樹脂3の塗布を行う。絶縁用樹脂5は先に説明したように絶縁性を保ちかつ熱伝導性を高めるためのアルミナフィラー等を混入したエポキシ系のものを使用し、これを第1ペアチップ10上にディスペンス塗布する。この際、第1ペアチップ10に接続されるボンディングワイヤー4のループ部分を覆う状態に塗布する。そして、150℃で1時間程度の加熱処理を行い、絶縁用樹脂5を硬化させその表面を平らにしておく。また、この絶縁用樹脂5の上には次の工程で第2ペアチップ20を固定するための固定用樹脂3を塗布しておく。

【0016】次に、図2(c)に示す第3工程として、第1ペアチップ10上に塗布した絶縁用樹脂5および固定用樹脂3を介して第2ペアチップ20を接続する処理を行う。つまり、第2工程で硬化させた絶縁用樹脂5を土台としてその上に塗布した固定用樹脂3上に第2ペアチップ20を搭載し、例えば150℃で1時間程度の加熱処理によって固定用樹脂3を硬化させる。そして、固定用樹脂3の硬化によって固定された第2ペアチップ20と回路基板2の回路とをボンディングワイヤー4によって接続する。これにより本発明の半導体装置1の製造が完了する。

【0017】このような製造方法においては、第1ペアチップ10および第2ペアチップ20と回路基板2の回路との電気的な接続をそれぞれボンディングワイヤー4によって行っているため、例えば他の種類のペアチップ（大きさや配線間隔、配線数等が異なるもの）を使用する場合には、電気的な接続に関してワイヤーボンディング装置でのプログラム設定変更（ボンディングワイヤー4の接続位置を指定する設定値の変更）のみで対応できることになる。

【0018】また、他の種類のペアチップを使用する場合、第1ペアチップ10および第2ペアチップ20の接続に関しても、絶縁用樹脂5や固定用樹脂3を塗布する装置のプログラム設定変更のみで対応できることになる。したがって、異なる品種の半導体装置1を製造する場合であっても即座に対応でき、品種変更にもなう初期費用をほとんどかけなくて済むというメリットがある。

【0019】なお、図2では第1ペアチップ10および第2ペアチップ20の2つのペアチップを重ねて成る半導体装置1の製造方法の例を示したが、図1(b)に示すような第3ペアチップ30を重ねて3段とする半導体装置1またこれ以上のペアチップを重ねる半導体装置の製造方法であっても同様である。この場合には、第1ペアチップ10上に絶縁用樹脂5および固定用樹脂3を介して第2ペアチップ20を接続したと同様に、第3ペアチップ30上に他のペアチップを接続すればよい。

【0020】図3は、本発明の半導体装置1の他の例を説明する模式断面図である。図3(a)および(b)では、第1ペアチップ10と第2ペアチップ20との大きさが異なる半導体装置1の例を各々示している。図3

(a)に示す半導体装置1では、第1ペアチップ10の上にこれより小さい第2ペアチップ20が接続されており、図3(b)に示す半導体装置1では、第1ペアチップ10の上にこれより大きい第2ペアチップ20が接続されている。このように、重ね合わせるペアチップの大きさが異なってもよく、これによって種々のペアチップの組合せから成る半導体装置1を構成できることになる。

【0021】また、図3(c)に示す半導体装置1は、第1ペアチップ10上の絶縁用樹脂5の中央部分に窪みを設け、この中に第2ペアチップ20を埋め込む構成となっている。この半導体装置1を製造する場合には、先ず回路基板2上に固定用樹脂3を介して第1ペアチップを接続し、ボンディングワイヤー4による配線を施す。その後、第1ペアチップ10上に絶縁用樹脂5を塗布するが、この際、ボンディングワイヤー4の配線領域(図中S参照)内に窪みを設ける。

【0022】この窪みを設けるには、第1ペアチップ10に接続されるボンディングワイヤー4を覆う絶縁用樹脂5として粘性の高いものを使用しボンディングワイヤー4のループ部分を覆うようダム状に塗布した後、この内側に粘性の低い絶縁用樹脂5を薄く塗布する。そして、この窪み内に第2ペアチップ20を埋め込むように固定するための固定用樹脂3をなるべく薄く塗布し、これを介して第2ペアチップ20を接続する。

【0023】このような半導体装置1では、絶縁用樹脂5に窪みを設けた分だけ他の例に比べて半導体装置1全体の高さhを低くすることが可能となる。つまり、半導体装置1の高密度化と放熱効率の向上さらには半導体装置1の薄型化を図る場合に有効なものとなる。

【0024】なお、本実施例に示したいずれの半導体装置1においても絶縁用樹脂5と固定用樹脂3とを異なるものとして説明したが、固定用樹脂3を絶縁用樹脂5と同じものとしてもよい。これによって、さらに半導体装置1の製造におけるコストダウンを図ることが可能となる。また、図3に示す他の例においても、ペアチップを2段にする場合のみならず3段またはそれ以上であっても同様である。

【0025】

【発明の効果】以上説明したように、本発明の半導体装置およびその製造方法によれば次のような効果がある。すなわち、複数のペアチップを重ねる半導体装置の場合であっても、各ペアチップの間に絶縁部材を介しているためペアチップの放熱効率を向上させることが可能となる。また、本発明の半導体装置を製造するにあたり、ボンディングワイヤーを用いて配線を行っているため、多品種少量生産に即座に対応することが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置を説明する模式断面図で、(a)は2段の例、(b)は3段の例である。

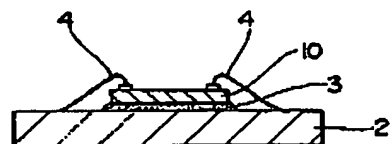
【図2】本発明の半導体装置の製造方法を(a)～(c)の各工程順に説明する模式断面図である。

【図3】他の例を(a)～(c)に示す模式断面図である。

【符号の説明】

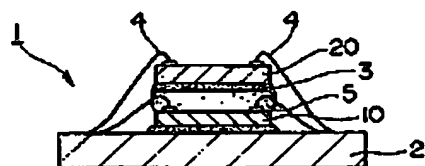
- 1 半導体装置
- 2 回路基板
- 3 固定用樹脂
- 4 ボンディングワイヤー
- 5 絶縁用樹脂
- 10 第1ペアチップ
- 20 第2ペアチップ
- 30 第3ペアチップ

【圖2】



(a) 第1工程

(b) 第2工程



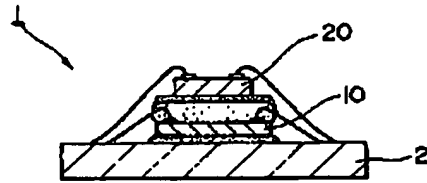
(c) 第3工段

製造方法を順に説明する模式断面図

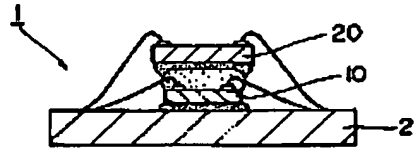
(6)

特開平8-288455

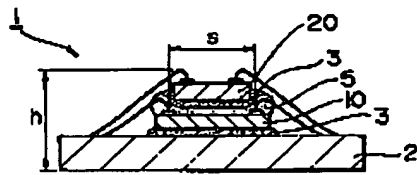
【図3】



(a) その1



(b) その2



(c) その3

他の例を説明する模式断面図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.